

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-307079

(43) 公開日 平成9年(1997)11月28日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	27/108		H 0 1 L 27/10	6 2 1 A
	21/8242		27/04	C
	27/04			
	21/822			

審査請求 有 請求項の数 3 F D (全 4 頁)

(21) 出願番号 特願平9-13255

(22) 出願日 平成9年(1997)1月9日

(31) 優先権主張番号 15080/1996

(32) 優先日 1996年5月8日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591044131

エルジイ・セミコン・カンパニー・リミテッド

大韓民国 チュングチェオンブグード チェオンジュシ ヒャンギエオンードン 50

(72) 発明者 ギ・ヨル・バク

大韓民国・テクカンヨクシー・ドンク・ヨンゲ2ードン・395-2

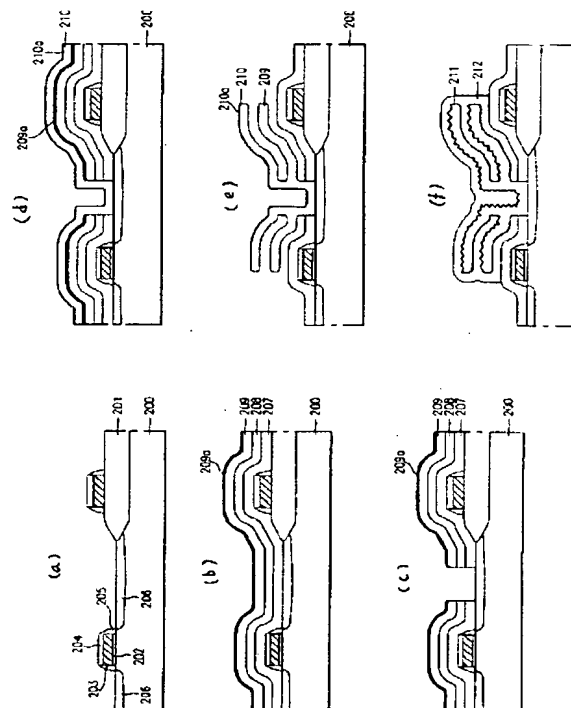
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 メモリセルキャパシタの製造方法

(57) 【要約】

【課題】 キャパシタの容量を大きくし、信頼性を高めることのできるメモリセルキャパシタの製造方法を提供することにその目的がある。

【解決手段】 ストレージノードを形成するポリシリコンの表面を多孔質とし、その多孔質とされた表面に酸化膜を成長させてキャパシタを形成させる。



【特許請求の範囲】

【請求項1】 メモリセルの製造方法において、半導体基板上にトランジスタを形成する段階と、前記半導体基板の全面にエッチング防止膜、絶縁膜、及び第1導電膜を順次に形成する段階と、前記第1導電膜の一部を陽極反応により第1多孔質膜に変換する段階と、前記第1多孔質膜の所定の領域をパターンニングしてストレージノードコンタクトを形成する段階と、前記半導体基板、及び第1多孔質膜の全面に第2導電膜を形成する段階と、前記第2導電膜の一部を陽極反応により第2多孔質膜に変換する段階と、前記第2多孔質膜の所定の領域をパターンニングした後、エッチング工程を実施してストレージノード電極パターンを形成する段階と、前記ストレージノード電極パターンの全面に誘電膜を形成する段階と、前記誘電膜の全面に第3導電膜を形成する段階と、を含むことを特徴とするメモリセルキャパシタの製造方法。

【請求項2】 前記第1、及び第2多孔質膜の変換段階は、前記第1、及び第2導電膜をHF溶液の中で光を照射する段階と、前記第1、及び第2導電膜を乾式酸化する段階と、を更に含んでなることを特徴とする請求項1記載のメモリセルキャパシタの製造方法。

【請求項3】 前記第1多孔質膜の膜厚は第2多孔質膜のそれより厚いことを特徴とする請求項1記載のメモリセルキャパシタの製造方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、メモリセルキャパシタの製造方法に関するもので、特にキャパシタの容量を増加させたメモリセルキャパシタの製造方法に関するものである。

【0002】

【従来の技術】半導体メモリ装置が高集積化されるにつれ各セルの占める面積は減少する。一般に、セルのサイズが減少すると、それにより、セルの電荷蓄積キャパシタの有効面積が小さくなって、キャパシタンスも減少する。DRAMセルのキャパシタンスの減少は、ソフトエラーを増加させるか、或いはセルのリフレッシュ機能を低下させる。従って、セルのサイズの減少にもかかわらず、キャパシタの有効面積を拡張させて、セルキャパシタンスを増加させる方法が研究されてきた。これは半導体メモリ装置の高集積化にとって大きな研究目標である。キャパシタの有効面積を拡張させる代表的な構造としては、半導体基板上に複数の層を積んでキャパシタを形成する積上げ型構造と半導体基板に溝を作ってキャ

パシタを形成するトレンチ型構造がある。

【0003】以下、添付図面を参照して、従来の技術によるメモリセルキャパシタの製造方法を説明する。図1(a)～(f)は、従来の技術によるメモリセルキャパシタの製造方法を示す。図1(a)に示すように、フィールド酸化膜101の形成されたp型シリコン基板100上にゲート絶縁膜102、ポリシリコン膜103、及びキャップ絶縁膜104を順次に形成した後、フォトリソグラフィ工程を実施して、前記キャップ絶縁膜104、ポリシリコン膜103、及びゲート絶縁膜102を選択的にエッチングしてゲート電極を形成する。次いで、前記p型シリコン基板内にn型不純物を低濃度にイオン注入した後、前記p型シリコン基板100の全面にCVD酸化膜を蒸着し、フォトリソグラフィ、エッチング工程によりゲート電極の側面に側壁スペーサ105を形成した後、n型不純物を高濃度にイオン注入してソース・ドレイン領域106を形成する。

【0004】図1(b)に示すように、前記シリコン基板100の全面にシリコン窒化膜などのエッチング防止膜107、第1絶縁膜108、ポリシリコンなどの第1ストレージノードポリシリコン109、及び第2絶縁膜110を順次に堆積する。図1(c)に示すように、キャパシタのストレージノードコンタクト領域を定めてそのストレージノードコンタクト領域が露出されるように、前記第2絶縁膜110、第1ストレージノードポリシリコン109、第1絶縁膜108、及びエッチング防止膜107を選択的に除去する。

【0005】次いで、図1(d)に示すように、露出された前記シリコン基板100、及び前記第2絶縁膜110の全面に第2ストレージノードポリシリコン111を堆積する。その後に、図1(e)に示すように、エッチング工程を施して、前記第2絶縁膜110、及び第1絶縁膜108を除去する。それにより第1ストレージノードポリシリコン109と第2ストレージノードポリシリコン111が接続された1つのストレージノード電極を形成する。最後に、図1(f)に示すように、前記ストレージノード電極の表面を誘電膜112で覆い、その表面に導電物質113として例えばポリシリコン膜を形成した後、パターンニングしてプレート電極を形成する。

【0006】

【発明が解決しようとする課題】上記したメモリセルキャパシタは、セルの面積が減少してもキャパシタの容量を確保するため、フィン構造のスタックドキャパシタとして、多層化されたストレージ電極を形成するので、セルの形状が非常に弱くなり、これにより、製品に対する信頼性を低下させる。本発明は、上記した従来の問題点を解決するために提案されたもので、キャパシタの容量を増加させ、信頼性を高めることのできるメモリセルキャパシタの製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】上記の目的を達するため本発明によるメモリセルキャパシタの製造方法は、半導体基板上にトランジスタを形成する段階と、前記半導体基板の全面に第1絶縁膜、第1導電膜を順次に形成する段階と、前記第1導電膜の一部を陽極反応により第1多孔質膜に変換する段階と、前記第1多孔質膜の所定の領域をパターニングしてストレージノードコンタクトを形成する段階と、前記半導体基板、及び第1多孔質膜の全面に第2導電膜を形成する段階と、前記第2導電膜を陽極反応により第2導電膜の一部を第2多孔質膜に変換する段階と、第2多孔質膜の所定の領域をパターニングした後、エッチング工程を施してストレージノード電極パターンを形成する段階と、前記ストレージノード電極パターンの全面に誘電膜を形成する段階と、及び前記誘電膜の全面に第3導電膜を形成する段階と、を有することを特徴とする。

【0008】

【発明の実施の形態】以下、添付図面を参照して、本発明をより詳細に説明する。図2(a)～(f)は、本発明の一実施形態によるメモリセルキャパシタの製造方法を示す工程断面図である。まず、図2(a)に示すように、フィールド酸化膜201の形成されたp型シリコン基板200上にゲート絶縁膜202、ポリシリコン膜203、及びキャップ絶縁膜204を順次に形成した後、フォトリソグラフィ工程を実施して、前記キャップ絶縁膜204、ポリシリコン膜203、及びゲート絶縁膜202を選択的にエッチングしてゲート電極を形成する。次いで、p型シリコン基板内にn型不純物を低濃度にイオン注入した後、前記p型シリコン基板200の全面にCVD酸化膜を蒸着し、フォトリソグラフィ/エッチング工程によりゲート電極の側面に側壁スペーサ205を形成した後、n型不純物を高濃度にイオン注入してソース/ドレイン領域206を形成してトランジスタとする。

【0009】図2(b)に示すように、前記p型シリコン基板200の全面にシリコン窒化膜などのエッチング防止膜207、絶縁膜208、ポリシリコン等の第1ストレージノードポリシリコン209を堆積する。次いで、第1ストレージノードポリシリコン209をHF溶液に漬けた状態で、光を照射する。この光の照射で陽極反応が生じて、第1ストレージノードポリシリコン209の表面から一定の厚さは第1多孔質シリコンに変化する。次いで、前記第1多孔質シリコンに乾式酸化反応を実施して第1多孔質酸化膜209aに変換させる。

【0010】図2(c)に示すように、キャパシタのストレージノードコンタクト領域を定めてそのストレージノードコンタクト領域が露出されるように第1多孔質酸化膜209a、第1ストレージノードポリシリコン209、絶縁膜208、及びエッチング防止膜207を選択的に除去する。次いで、図2(d)に示すように、露出

された前記シリコン基板200、及び第1多孔質酸化膜209aの全面に第2ストレージノードポリシリコン210を堆積する。次いで、前記第2ストレージノードポリシリコン210をHF溶液に漬けた状態で光を照射される。前期同様に陽極反応が生じて、第2ストレージノードポリシリコン210の一定の厚さは第2多孔質シリコンに変化する。このとき、第2多孔質シリコンの厚さは、前記第1多孔質シリコンの厚さより薄く形成する。次いで、前記第2多孔質シリコンに乾式酸化反応を施してその第2多孔質シリコンを第2多孔質酸化膜210aに変換させる。上記第1多孔質シリコンは、上記のように第1ストレージノードとなると同時に、酸化膜の役をも果たすので十分に厚くすることが望ましい。また、第2ストレージノードは、表面積をためるために多孔質シリコンにその表面を変化させ、その上に再び酸化膜が形成させる。そのため、できる限り薄くすることが望ましい。

【0011】その後、図2(e)に示すように、乾式エッチング工程を用いて前記第2多孔質酸化膜210a、第2ストレージノードポリシリコン210、第1多孔質酸化膜209a、第1ストレージノードポリシリコン209、及び絶縁膜208を選択的に除去して、第1、及び第2ストレージノードポリシリコンが接続された1つのストレージノード電極パターン209、210を形成する。次いで、前記第2多孔質酸化膜210a上に塗布されたフォトレジストを除去しない状態で、前記第2ストレージノードポリシリコン210と第1ストレージノードポリシリコン209との間の第1多孔質酸化膜、及び絶縁膜をHF溶液に漬けて、湿式エッチングで除去する。最後に、図2(f)に示すように、前記ストレージノード電極パターンの全面に誘電膜211として例えば酸化膜を成長させて形成した後、導電物質212として例えばポリシリコン膜を形成した後、パターニングしてプレート電極を形成する。この時、前記第1多孔質酸化膜の部分は第1ストレージノードポリシリコンと第2ストレージノードポリシリコンとの間の境界より徐々に酸化膜が成長するので、比較的に均一な膜厚となる。

【0012】

【発明の効果】以上、上述した本発明によれば、多孔質膜の形成されたポリシリコンの境界部は、微細な屈曲を形成することになり相対的に表面積が増加する。したがって、キャパシタの容量がその分大きくなり、製品の信頼性も改善されるという効果がある。本発明は、前記実施形態に限定されず、いろいろな変形が、本発明の技術的な範囲内で、当分野の通常の知識を有している者により可能であることは明らかである。

【図面の簡単な説明】

【図1】 従来の技術によるメモリセルキャパシタの製造方法を示す工程断面図。

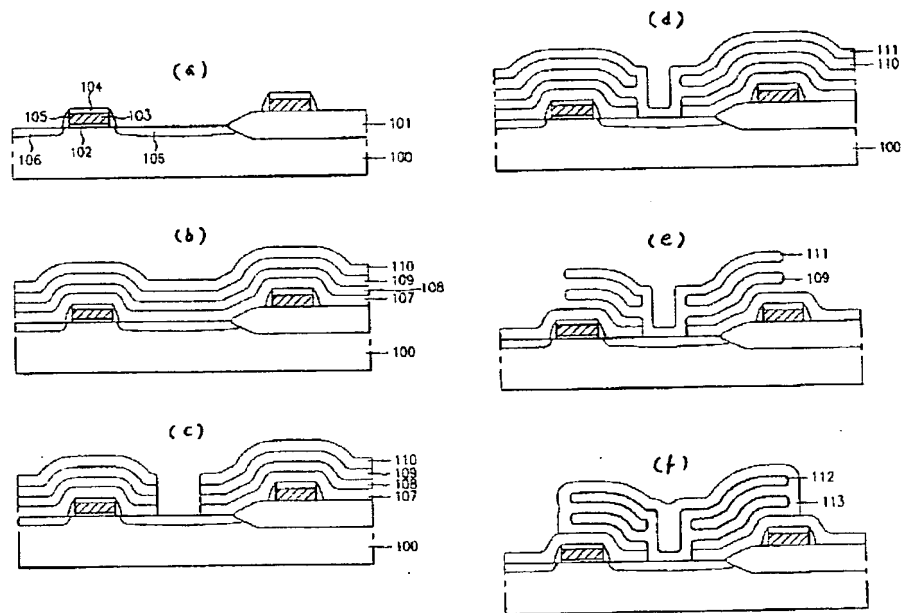
【図2】 本発明の実施形態によるメモリセルキャパシタの製造方法を示す工程断面図。

【符号の説明】

200 シリコン基板
201 フィールド酸化膜
202 ゲート絶縁膜
203 ゲートポリシリコン膜
204 キャップ絶縁膜

205 側壁スペーサ
209 第1ストレージノードポリシリコン
209a 第1多孔質酸化膜
210 第2ストレージノードポリシリコン
210a 第2多孔質酸化膜
211 誘電膜
212 導電物質

【図1】



【図2】

